

Memórias

O que são Memórias de Semicondutores?

São componentes capazes de armazenar informações Binárias (0s e 1s)

Essas informações são guardadas eletricamente em células individuais.

Chamamos cada elemento binário de BIT, da sigla **BI**nary digi**T**.

Existem dois tipos básicos de tecnologia de memórias: RAM e as ROM

RAM é uma memória do tipo **volátil**, isto é, os dados podem ser perdidos e/ou alterados durante o uso

ROM é uma memória do tipo **não-volátil**, isto é, os dados, uma vez gravados **NÃO** podem ser perdidos e/ou alterados durante o uso.

Família ROM

ROM é uma sigla que significa **Read Only Memory** (Memória somente de leitura)

É um tipo de memória que é gravada em aparelho especial, sendo utilizada já gravada diretamente da fábrica

PROM da sigla **Programmable ROM**

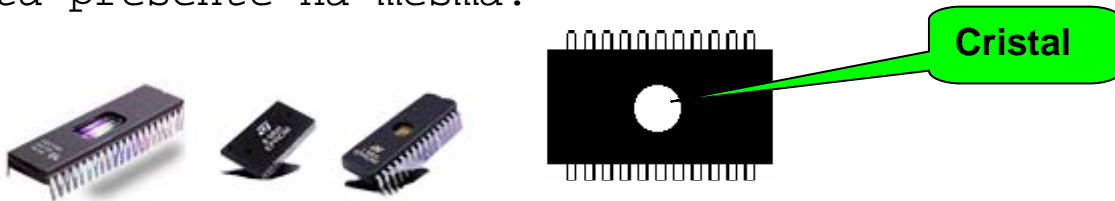
(Memória somente de leitura programável)

É um tipo de memória que é também gravada com aparelho especial, mas com a diferença de ser comprada no mercado e gravada pelo comprador. Tem a restrição de ser **gravada apenas 1 vez**.

EPROM da sigla **Erasable PROM**

(Memória somente de leitura programável mas apagável)

É um tipo de memória que é gravada com aparelho especial, mas pode ser gravada mais de uma vez, sendo que esta deve ser apagada com luz Ultravioleta incidente sobre um vidro de cristal de Quartzo que expõe as células de memória e que está presente na mesma.



EEPROM ou E2PROM da sigla **Electric EPROM**

(Memória só para leitura, programável mas eletricamente apagável)

É um tipo de memória que dispensa um aparelho especial para gravação, podendo ser gravada e apagada tal como se fosse uma memória RAM, porém não perde os dados.

Por que então não se utiliza EEPROM em vez de RAM?
Simplesmente porque as EEPROMs são muito maiores em dimensão e muito mais lentas em tempos de acesso.

Família RAM

RAM é uma sigla que significa **R**andomic **A**ccess **M**emory
É dividida basicamente em duas grandes famílias:

RAM estática (SRAM)

As SRAMs (Static RAM) são memórias fisicamente muito maiores que as demais da família RAM, além disto, tem tempo de acesso muito inferior á das DRAM (RAMs dinâmicas). Daí a questão: Por que então elas são utilizadas?

Porque são estáveis, dispensando circuitos adicionais de refresh (refrescamento), típico de DRAMs (dinâmicas) e são mais rápidas que uma EEPROM. Podem ser utilizadas em qualquer tipo de projeto que requeira memórias de escrita/leitura mais estáveis.

Células de memória

As células de memória das SRAMs são formadas por flip-flops. As SRAMs estão disponíveis nas tecnologias **bipolar** e **MOS**, sendo que a grande maioria das aplicações de SRAM usa **CMOS** e **NMOS**. Os chips bipolares têm a vantagem da velocidade. Já os dispositivos **MOS** têm muito maior capacidade de armazenamento e menor consumo de potência. A fig 1 mostra uma célula **bipolar** e uma **NMOS** típicas. A célula **bipolar** tem 2 transistores e 2 resistores, enquanto a **NMOS** possui 4 **MOSFETs** (MOS Field Effect Transistor) como resistores (Q3 e Q4).

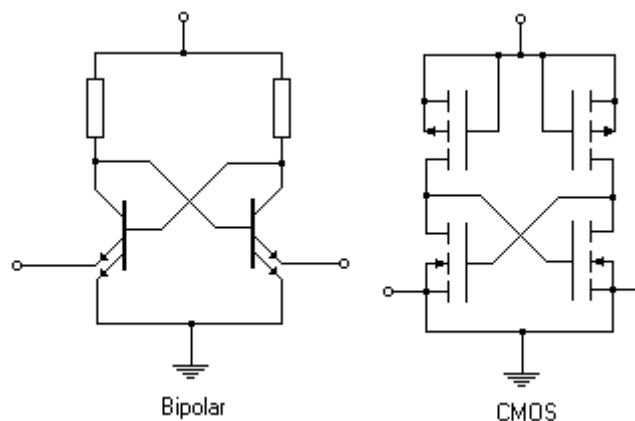


FIG 1

Células SRAM, construídas com tecnologia **bipolar** e **CMOS**

RAM Dinâmica (DRAM)

Sigla de Dynamic Random Access Memory. São extremamente rápidas, pequenas e baratas, o que as torna ideal para ambientes computadorizados. No princípio,

devido ao fato destas precisarem de um circuito de refresh, eram mais problemáticas, porém atualmente são extremamente estáveis.

Um circuito de refresh é um circuito que faz com que os dados da DRAM sejam atualizados em tempo de uso, porque senão, após algum tempo de uso, mesmo sem a perda da fonte de energia, os dados se deterioram. Para evitar isto esse circuito "Refresca" a memória.

Funcionamento de uma DRAM

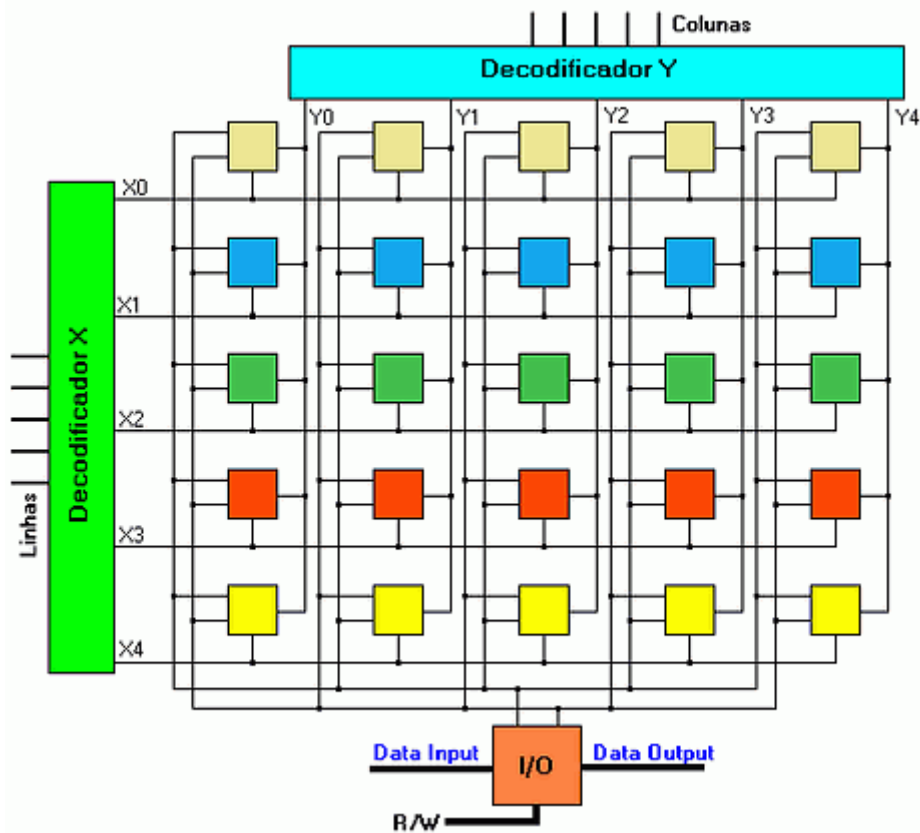
As RAMs dinâmicas são fabricadas usando a tecnologia MOS, alta capacidade de armazenamento, baixo consumo de energia e velocidade de operação moderada. Armazenam 1s e 0s como cargas de microcapacitores MOS, tipicamente de poucos picofarads. EM função da tendência destes capacitores se descarregarem após decorrido tempo, as DRAMs necessitam de recarga periódica das células de memória, operação está denominada refresh da DRAM. Cada célula precisa ser recarregada decorridos de 2 a 10 ms, ou a informação nela armazenada será perdida. Até bem recentemente, se acoplava à memória DRAM, um circuito para implementar a operação de refresh durante os intervalos de tempo em que a memória não estava sendo acessada para uma operação de leitura ou escrita.

Para memórias relativamente pequenas, com menos de 60K palavras, a RAM integrada (iRAM), fornece uma solução, um CI que inclui os circuitos de refresh no mesmo chip que abriga a matriz de células de memória.

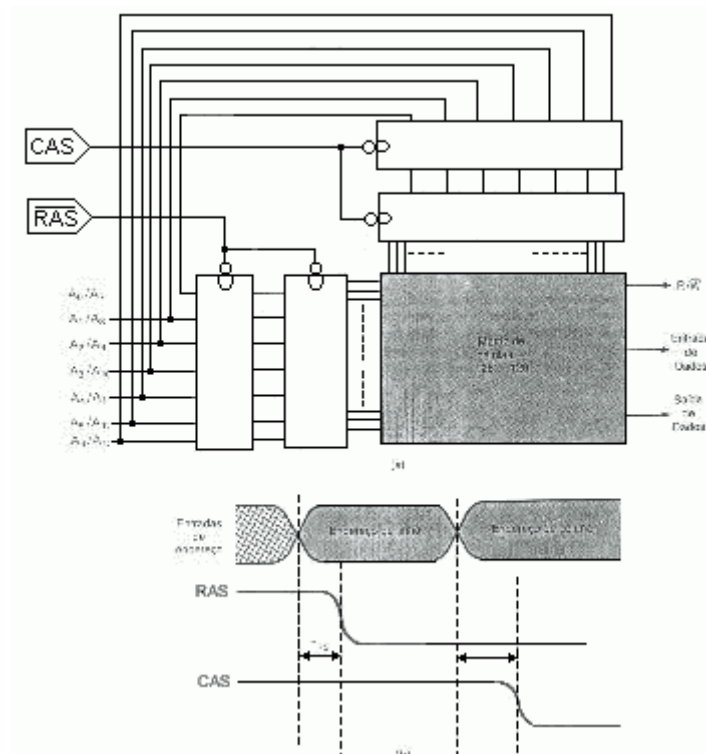
A memória principal da maioria dos microcomputadores atuais usam DRAM em virtude de sua alta capacidade e baixo consumo.

Estrutura e operação da DRAM

A arquitetura interna de uma DRAM pode ser visualizada como uma matriz de células de um bit, conforme mostrado na figura abaixo.



São necessárias entradas de endereçamento para selecionar as células; sendo que os bits das posições de ordem mais baixas, de A0 a A6 selecionam a linha, e os de mais alta ordem, A7 a A13, são responsáveis pela seleção da coluna. Cada endereço de 14 bits seleciona uma única célula a ser escrita ou lida.



A figura acima é uma representação simbólica de uma célula de DRAM com os circuitos associados a ela. Muitos detalhes não são mostrados, porém este diagrama simplificado pode ser usado para descrever os pontos fundamentais das operações de leitura e escrita envolvendo DRAMs. As chaves de S1 a S4 na verdade são MOSFETs controlados pelas diversas saídas do decodificador de endereços e pelo sinal R/W. O capacitor é o dispositivo utilizado no armazenamento da informação da célula.

Dados são escritos na célula com o fechamento das chaves s1 e s2 pela ação das lógicas envolvidas na decodificação dos endereços e nas operações de leitura/escrita. As demais chaves devem ser mantidas abertas. Esta situação conecta a entrada de dados a C. Um nível lógico 1 na entrada de dados carrega o capacitor C, e um nível lógico 0 o descarrega. Depois disso, as chaves são novamente abertas, isolando o capacitor do restante do circuito. Seria ideal que C

conseguisse reter a carga armazenada por um período de tempo indeterminado, mas sabemos que isto não é possível. Na prática, C vai perdendo sua carga gradualmente, com o passar do tempo.

Na operação de leitura de dados da célula, as chaves S2, S3 e S4 deverão estar fechadas, e S1 deverá ser mantida aberta. Nesta situação, o capacitor terá sua tensão, resultante da carga armazenada, levada ao amplificador sensor. Este amplificador compara tal tensão com alguns valores de referência para determinar se ela corresponde ao nível lógico 0 ou ao 1, produzindo na saída uma tensão de 0V ou de 5V, dependendo da tensão de entrada.

Multiplexação de endereços

Os chips de memória de maior capacidade, precisam ter muitos pinos para entrada de endereço, se for mantida a relação de um pino para cada bit componente do endereço. A fim de reduzir o número de pinos de endereço em chip DRAM de alta capacidade, alterando a relação dos pinos com os bits de endereço, os fabricantes usam a técnica da multiplexação de endereços, através da qual cada pino do integrado pode acomodar dois bits diferentes do endereço.

Utilizaremos a DRAM 4113, de 16K X 1, para ilustrar o conceito da multiplexação de endereços.

Um diagrama simplificado da arquitetura interna deste chip é mostrado na figura acima. Tal arquitetura é composta fundamentalmente de uma matriz de células arranjadas em 128 linhas e 128 colunas, de uma única linha para entrada de dados, outra para saída de dados e de uma entrada R/S. Existem mais sete linhas de endereço, sendo que cada uma delas tem dupla função. Por exemplo, a linha A0/A7 vai ser responsável pelos bits A0 e A7 do endereço. Duas entradas de strobe são incluídas

neste chip, para armazenar em registradores internos ao chip os endereços da linha e da coluna da posição de memória selecionada o sinal de strobe do endereço da linha, RAS, comanda o armazenamento dos sete bits do endereço da linha no registrador interno do chip reservado para este fim. O sinal de strobe do endereço da coluna, CAS, comanda o armazenamento dos 7 bits do endereço da coluna no respectivo registrador interno.

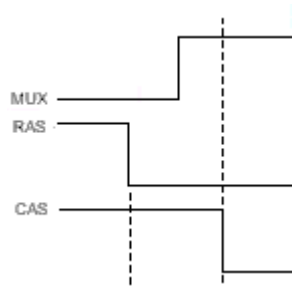
Serão utilizadas 7 entradas de endereço em vez de catorze; os sinais RAS e CAS deverão ser adicionados à lógica do chip, Então haverá uma economia de sete pinos.

A entrada de seleção de multiplexador, denominada MUX, controla a presença das linhas de endereço A0 até A6 ou A7 até A13 na entrada de endereços da DRAM.

A temporização do sinal MUX deve estar em sincronismo com os sinais CAS e RAS, responsável pela passagem dos bits de endereço aos circuitos internos da memória.

O sinal de MUX deve estar no nível BAIXO quando RAS assumir seu nível ativo, de maneira a fazer com que as linhas de endereços A0 até A6 geradas pelo processador cheguem às entradas de endereço da DRAM para serem armazenadas no registrador interno da memória na transição negativa de RAS.

Da mesma forma, o sinal MUX deve estar ALTO quando CAS assumir o nível BAIXO, fazendo com que as linhas de endereço A7 até A13 cheguem até a DRAM, para serem armazenadas na transição negativa de CAS.



Ciclos da leitura e escrita em uma Dram

O processo de leitura e escrita de uma DRAM é muito mais complexa que uma SRAM, havendo diversas restrições de tempo que o projetista deve considerar.

No ciclo de leitura de uma DRAM **R/W** deve estar em nível lógico alto em toda a operação:

Inicialmente o MUX deve estar baixo permitindo a chegada dos bits(A0 até A6) até a entrada de endereço da DRAM, o sinal RAS deve estar baixo comandando os registradores internos da DRAM, o MUX deve ir para nível lógico alto permitindo que os bits da coluna A7 até A13 sejam colocados na entrada da DRAM e o sinal CAS deve estar baixo comandando o armazenamento da coluna nos registradores internos da dram ,a dram responde colocando na saída de dados a informação armazenada na célula selecionada, os sinais MUX, RAS, CAS e saída de dados retornam a seus níveis normais após a operação.

No ciclo de escrita da DRAM: o MUX em nível baixo coloca o endereço da linha nas entrada da DRAM, a transição negativa em RAS comanda o armazenamento da coluna num registrador interno da DRAM, o MUX vai para baixo colocando a coluna nas entradas da DRAM, a transição negativa em CAS armazena a coluna no registrador interno da DRAM e o dado a ser escrito é colocado na entrada de dados, R/W vai para baixo permitindo a escrita do dado na célula selecionada, e o dado da entrada é

removido de Entrada de Dados, depois o MUX, CAS, RAS e R/W voltam ao seu estado inicial.

Operação de refresh de uma DRAM

A DRAM deve ser recarregada periodicamente (a cada 2ms em média) ou os dados nela armazenados serão perdidos.

A operação de refresh de uma DRAM é feita através de um contador de refresh de sete bits usado para gerar os 128 endereços das linhas da DRAM. O contador começa gerando o valor 0000000 correspondendo a linha zero. Este endereço é aplicado as entradas de endereço da DRAM com MUX = 0 e RAS em nível baixo enquanto R/W e CAS são mantidos em alto, isto dá um refresh na linha zero, o contador é incrementado, e a seqüência é realizada até a linha 127 o processo completo leva em torno de 50ms.

Expansão do tamanho da palavra e da capacidade de uma memória.

A maioria das aplicações de memória, não podem ser obtidos através de um único chip, sendo necessários a combinação de várias memórias para se obter a capacidade e o tamanho desejado.

Expansão do tamanho da palavra suponha que necessitemos de uma memória que possa armazenar 16 palavras em 8 bits cada uma, mas só temos RAMs de 16 x 4. Podemos combinar dois chips para produzirmos a memória desejada. Cada chip pode armazenar 16 palavras de 8 bits, sendo assim cada chip irá armazenar metade de cada palavra.

No barramento de endereços são colocados os dados no qual os 4 mais significativos são recebidos pela primeira DRAM e os 4 menos significativos são colocados na segunda RAM.

A primeira RAM coloca os 4 primeiros bits nas 4 primeiras linha do barramento de dados e a segunda RAM coloca os bits nas 4 ultimas linhas do mesmo.

O barramento de dados então contém a palavra de 8 bits que pode ser transmitida a algum a algum outro dispositivo de controle.

Como funciona uma memória

Os dados devem ser agrupados, não em BIT, mas em grupos de 8 BIT, o qual chamamos de BYTE.

$$8 \text{ BIT} = 1 \text{ BYTE}$$

Cada local de armazenamento de uma memória guarda 8 BIT separados 1 BIT em cada célula, acessados de 8 em 8, isto é, de Byte em Byte. Cada conjunto de 8 BIT, é guardado em um único e exclusivo local dentro de uma memória, identificado por um endereço, basicamente de 16 bit. Os microprocessadores atuais tem grande capacidade de acesso, podendo acessar endereços da ordem de Terabyte (10^{12} Byte).