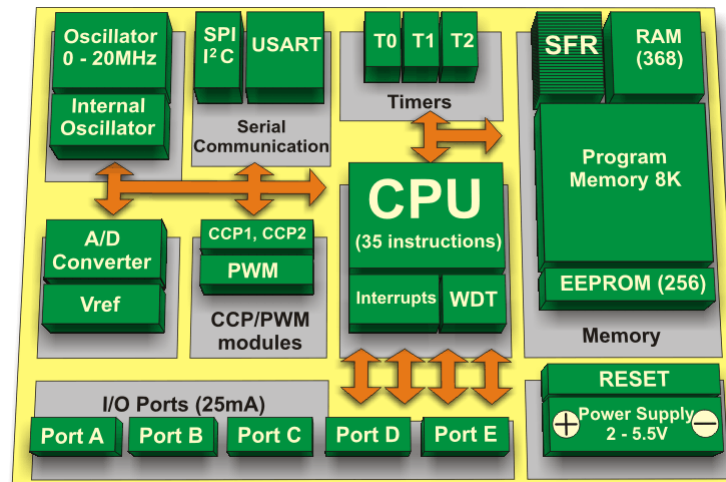


REGISTROS DO 16F628A



© www.mikroe.com

© Prof. Luiz Antonio Vargas Pinto
www.vargasp.com

| Indirect addr. ⁽¹⁾ | 00h | Indirect addr. ⁽¹⁾ | 80h | Indirect addr. ⁽¹⁾ | 100h | Indirect addr. ⁽¹⁾ | 180h |
|--------------------------------------|-----|--------------------------------------|-----|--------------------------------------|------|-------------------------------|------|
| TMR0 | 01h | OPTION | 81h | TMR0 | 101h | OPTION | 181h |
| PCL | 02h | PCL | 82h | PCL | 102h | PCL | 182h |
| STATUS | 03h | STATUS | 83h | STATUS | 103h | STATUS | 183h |
| FSR | 04h | FSR | 84h | FSR | 104h | FSR | 184h |
| PORTA | 05h | TRISA | 85h | | 105h | | 185h |
| PORTB | 06h | TRISB | 86h | PORTE | 106h | TRISE | 186h |
| | 07h | | 87h | | 107h | | 187h |
| | 08h | | 88h | | 108h | | 188h |
| | 09h | | 89h | | 109h | | 189h |
| PCLATH | 0Ah | PCLATH | 8Ah | PCLATH | 10Ah | PCLATH | 18Ah |
| INTCON | 0Bh | INTCON | 8Bh | INTCON | 10Bh | INTCON | 18Bh |
| PIR1 | 0Ch | PIE1 | 8Ch | | 10Ch | | 18Ch |
| | 0Dh | | 8Dh | | 10Dh | | 18Dh |
| TMR1L | 0Eh | PCON | 8Eh | | 10Eh | | 18Eh |
| TMR1H | 0Fh | | 8Fh | | 10Fh | | 18Fh |
| T1CON | 10h | | 90h | | | | |
| TMR2 | 11h | | 91h | | | | |
| T2CON | 12h | PR2 | 92h | | | | |
| | 13h | | 93h | | | | |
| | 14h | | 94h | | | | |
| CCPR1L | 15h | | 95h | | | | |
| CCPR1H | 16h | | 96h | | | | |
| CCP1CON | 17h | | 97h | | | | |
| RCSTA | 18h | TXSTA | 98h | | | | |
| TXREG | 19h | SPBRG | 99h | | | | |
| RCREG | 1Ah | EEDATA | 9Ah | | | | |
| | 1Bh | EEADR | 9Bh | | | | |
| | 1Ch | EECON1 | 9Ch | | | | |
| | 1Dh | EECON2 ⁽¹⁾ | 9Dh | | | | |
| | 1Eh | | 9Eh | | | | |
| CMCON | 1Fh | VRCON | 9Fh | | 11Fh | | |
| General Purpose Register 80 Bytes | 20h | General Purpose Register 80 Bytes | A0h | General Purpose Register 80 Bytes | 120h | | |
| | 6Fh | | EFh | | 16Fh | | 1EFh |
| 16 Bytes | 70h | accesses 70h-7Fh | F0h | accesses 70h-7Fh | 170h | accesses 70h-7Fh | 1F0h |
| | 7Fh | | FFh | | 17Fh | | 1FFh |

■ Unimplemented data memory locations, read as '0'.

Note 1: Not a physical register.

STATUS (03)

STATUS (03)



| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|-----|-----|-----|-----|-----|---|----|---|
| Nomes dos bits | IRP | RP1 | RP0 | /T0 | /PD | Z | DC | C |
| Power-on-reset | 0 | 0 | 0 | 1 | 1 | x | x | x |

Obs: 0 valor dos bits após os demais Resets será: 000qquuu

Após RESET

Chave dos bancos

STATUS (03)



Bit 7: IRP - Seleção de banco de registradores

- ▶ 0 - seleciona Bank 0 e Bank 1 (endereços 00 - FFh)
- ▶ 1 - seleciona Banks 2 e 3 (100h - 1FFh).

Obs.: Este bit não é usado no PIC16F628 (considerar IRP=0).



Bit 6 e 5: RP1 e RP0, Seleção de Bancos:

1. 6-5=0-0 bank 0 (0x00 - 0x1F)
2. 6-5=0-1 bank 1 (0x80 - 9Fh)
3. 6-5=1-0 bank 2 (0x100 - 10Fh)
4. 6-5=1-1 bank 3 (0x180 - 18Fh)



Bit 4: /TO, bit de Time-Out (Sensível a 0).

- ▶ 1 - após power-up, instruções CLRWDT ou SLEEP.
- ▶ 0 - após ocorrer uma interrupção de WDT (Watch Dog Timer).

STATUS (03)



Bit 3: **/PD**, Power-Down.

- ▶ 1 - após power-up ou instrução CLRWDT
- ▶ 0 - na execução da instrução SLEEP.



Bit 2: **Z**, Zero.

- ▶ 1 - quando o resultado de uma operação aritmética ou lógica é zero.
- ▶ 0 - quando o resultado de uma operação aritmética ou lógica é diferente de zero.



Bit 1: **DC**, Digit Carry/Borrow.

- ▶ 1 - se ocorre um estouro dos 4 bits inferiores de um registrador numa soma (addlw ou addwf) ou subtração (sublw ou subwf) entre dois nibbles inferiores é negativa.
- ▶ 0 - quando a última operação na ULA não ocasionou um estouro de dígito.

STATUS (03)



Bit 0: C, Carry/Borrow.

- ▶ 1 - quando ocorre um estouro do byte de um registrador numa soma (`addlw` ou `addwf`) ou subtração (`sublw` ou `subwf`) entre 2 bytes é positiva.
 - Note que em subtração, o Carry trabalha em Complemento de 2.

Obs.: As instruções `rlf` e `rrf` alteram o Carry.

OPTION_REG (01)

OPTION_REG (01)



Este registrador configura:

1. Os pull-ups do PORTB,
2. O prescaler,
3. O TMR0 – Timer 0
4. Seleção da borda para a interrupção externa.

Apesar deste registrador receber o nome **Option**, ele será referenciado pelo nome **OPTION_REG**, pois os PICs mais antigos possuíam uma instrução chamada **OPTION**.

| Nº dos bits | Bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|----------------|-------|--------|-------|-------|-------|-------|-------|-------|
| Bits | /RBPU | INTEDG | T0CS | T0SE | PSA | PS2 | PS1 | PS0 |
| Power on reset | R/W-1 | R/W-1 | R/W-1 | R/W-1 | R/W-1 | R/W-1 | R/W-1 | R/W-1 |

Obs.: Valor dos bits após os demais resets: 11111111

Gerais

Note: To achieve a 1:1 prescaler assignment for TMR0, assign the prescaler to the WDT (PSA = 1). See **Section 6.3.1 “Switching Prescaler Assignment”**.

© Microchip

Datasheet PIC 16F628A

OPTION_REG (01)



Bit 7: /RBPU Pull-ups internos para a PORTB:

- ▶ 0 - habilitados para todos os pinos do PORTB configurados como saída.
- ▶ 1 - desabilitados.



Bit 6: INTEDG Borda de interrupção externa no RB0:

- ▶ 0 - borda de descida. 1 = borda de subida.



Bit 5: T0CS Incremento do TMR0

- ▶ 0 - incrementado internamente pelo clock da máquina.
- ▶ 1 - incrementado externamente pela mudança no pino RA4/T0CK1.



Bit 4: T0SE borda de incremento do TMR0 no pino A4/T0CK1, quando T0CS=1:

- ▶ 0 - na borda de subida de RA4/T0CK1.
- ▶ 1 - na borda de descida de RA4/T0CK1.

OPTION_REG (01)

 **Bit 3: PSA: Configuração do prescaler:**

- ▶ 0 - prescaler aplicado ao TMR0.
- ▶ 1 - prescaler aplicado ao WDT.

 **Bit 2,1,0: PS2,PS1,PS0 :Configuração de prescaler:**

| PS2/1/0 | <u>TMR0</u> | WDT |
|---------|-------------|-------|
| 000 | 1:2 | 1:1 |
| 001 | 1:4 | 1:2 |
| 010 | 1:8 | 1:4 |
| 011 | 1:16 | 1:8 |
| 100 | 1:32 | 1:16 |
| 101 | 1:64 | 1:32 |
| 110 | 1:128 | 1:64 |
| 111 | 1:256 | 1:128 |

INTCON (0B)

INTerrupt CONTROL

INTCON (0B)

| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|-----|------|------|------|------|------|------|------|
| Nomes dos bits | GIE | EEIE | T0IE | INTE | RBIE | T0IF | INTF | RBIF |
| Power-on-reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | x |

INTCON (0B)

 Bit 7: **GIE** - Global Interrupt Enable

- ▶ 1 - habilita todas as interrupções não mascaráveis
- ▶ 0 - desabilita todas as interrupções.

 Bit 6: **PEIE** - Periferal Interrupt Enable

- ▶ 1 - habilita interrupção de todos periféricos não mascaráveis
- ▶ 0 - desabilita.


 Bit 5: **T0IE** - Timer 0 Interrupt Enable

- ▶ 1 - habilita a interrupção de TMR0
- ▶ 0 - desabilita a interrupção.

 Bit 4: **INTE** - RB0/INT INTerrupt External

- ▶ 1 - habilita a interrupção de RB0/INT
- ▶ 0 - desabilita a interrupção.

INTCON (0B)

 Bit 3: **RBIE** - RB Port Change Interrupt Enable - mudança de nível no PortB (RB4 a RB7)

- ▶ 1 - habilita a interrupção
- ▶ 0 - desabilita

 Bit 2: **T0IF** - **flag** da interrupção por overflow do Timer0

- ▶ 1 - ocorreu overflow (deve ser zerado no programa)
- ▶ 0 - não ocorreu a interrupção.

 Bit 1: **INTF** - **flag** da interrupção RB0/INT

- ▶ 1 - ocorreu uma interrupção RB0/INT
- ▶ 0 - não ocorreu a interrupção.

 Bit 0: **RBIF** - **flag** da interrupção de mudança de nível no Port B

- ▶ 1 - ocorreu uma mudança de nível em um dos pinos RB7:RB4 (deve ser zerado no programa)
- ▶ 0 - não ocorreu a interrupção.

TXSTA (98h)

T(X)ransmit **ST**atus and control

TXSTA (98h)

| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|------|-----|------|------|---|------|------|------|
| Nomes dos bits | CSRC | TX9 | TXEN | SYNC | - | BRGH | TRMT | TX9D |

 **Bit 7: CSRC** - Clock Source Select

- ▶ Modo síncrono = irrelevante
- ▶ Modo Assíncrono
 - 1 - Clock gerado diretamente do BRGH.
 - 0 - Clock vem de fonte externa

 **Bit 6: TX9** - habilita transmissão de 9 bit

- ▶ 1 - 9 bits
- ▶ 0 - 8 bits

 **Bit 5: TXEN** - TX Enabled


- ▶ 1 - Libera transmissão
- ▶ 0 - Bloqueia transmissão.

TXSTA (98h)

 **Bit 4: SYNC** - USART mode select

▶ 1 - Modo síncrono

▶ 0 - Modo Assíncrono

 **Bit 3:** Não implementado (0)

 **Bit 2: BRGH** - High Baud Rate Select

▶ Modo Assíncrono:

● 1 - High

● 0 - Low

▶ Modo Síncrono (Não utilizado)

 **Bit 1: TRMT** - Transmit Shift Register Status

▶ 1 - TSR vazio

▶ 0 - TSR cheio

 **Bit 0: TX9D** - 9º bit de transmissão - pode ser paridade

SREN/CREN se sobrepõe a TXEN no modo SYNC.

RCSTA (18h)

ReCeive **ST**atus and control

RCSTA (18h)

| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|------|-----|------|------|------|------|------|------|
| Nomes dos bits | SPEN | RX9 | SREN | CREN | ADEN | FERR | OERR | RX9D |

 Bit 7: **SPEN** - Serial Port Enable

- ▶ 1 - Habilitado
- ▶ 0 - Desabilitado

 Bit 6: **RX9** - 9-bit Receive

- ▶ Modo Assíncrono (não usa)
- ▶ Modo Síncrono
 - 1 - libera recepção simples
 - 0 - Desabilita recepção simples

 Bit 5: **SREN** - Single Received ENable

- ▶ 1 - Libera transmissão
- ▶ 0 - Bloqueia transmissão.



Bit 4: **CREN** - Continuous Receive ENable

▶ Modo Assíncrono

- 1 - Habilita recepção contínua
- 0 - Desabilita

▶ Modo Síncrono

- 1 - Habilita recepção contínua até CREN ser posto em 0
- 0 - Desabilita recepção contínua

RCSTA (18h)

 Bit 3: ADEN - Address Detect Enable

▶ Modo Assíncrono de 9-bits




- 1 - Habilita detecção de endereço, interrupção e carga do buffer de recepção quando RS = 1

- 0 - Desabilita detecção de endereço, todos os bytes são recebidos e o 9º bit pode ser usado como bit paridade

▶ Modo Assíncrono de 8-bits não é usado

▶ Modo Síncrono não é usado

RCSTA (18h)

-  Bit 2: **FERR** - Framing Error
 - ▶ 1 - Framing Error
 - ▶ 0 - Framing Ok
-  Bit 1: **OERR** - Overrun Error
 - ▶ 1 - Erro
 - ▶ 0 - Ok
-  Bit 0: **RX9D** - 9º bit de dado recebido

SPBRG (99h)

ReCeive **ST**atus and control

SBPRG (99h)

| BAUD RATE (K) | Fosc = 7.16 MHz | | | 5.068 MHz | | | 4 MHz | | |
|---------------|-----------------|--------|-----------------------|-----------|---------|-----------------------|----------|---------|-----------------------|
| | KBAUD | ERROR | SPBRG value (decimal) | KBAUD | ERROR | SPBRG value (decimal) | KBAUD | ERROR | SPBRG value (decimal) |
| 9600 | 9.520 | -0.83% | 48 | 9598.485 | 0.016% | 32 | 9615.385 | 0.160% | 25 |
| 19200 | 19.454 | +1.32% | 22 | 18632.35 | -2.956% | 16 | 19230.77 | 0.160% | 12 |
| 38400 | 37.288 | -2.90% | 11 | 39593.75 | 3.109% | 7 | 35714.29 | -8.994% | 6 |
| 57600 | 55.930 | -2.90% | 7 | 52791.67 | -8.348% | 5 | 62500 | 8.507% | 3 |
| 115200 | 111.860 | -2.90% | 3 | 105583.3 | -8.348% | 2 | 125000 | 8.507% | 1 |
| 250000 | NA | — | — | 316750 | 26.700% | 0 | 250000 | 0.000% | 0 |
| 625000 | NA | — | — | NA | — | — | NA | — | — |
| 1250000 | NA | — | — | NA | — | — | NA | — | — |

PIE1 (8Ch)

Peripheral Interrupt Enable Register 1

PIE1 (8Ch)

| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|------|------|------|------|---|--------|--------|--------|
| Nomes dos bits | EEIE | CMIE | RCIE | TXIE | - | CCP1IE | TMR2IE | TMR1IE |



bit 7 **EEIE** - EEprom write complete Interrupt Enable

- ▶ 1 - Habilita interrupção quando acabar a escrita
- ▶ 0 - Desabilita interrupção com EEPROM



bit 6 **CMIE** - Comparator Interrupt Enable

- ▶ 1 - Habilita interrupção do comparador
- ▶ 0 - Desabilita



bit 5 **RCIE** - USART ReCeive Interrupt Enable

- ▶ 1 - Habilita interrupção ao receber dado na USART
- ▶ 0 - Desabilita



bit 4 **TXIE** - USART Transmit Interrupt Enable

- ▶ 1 = Habilita interrupção para transmissão da USART
- ▶ 0 = Desabilita

PIE1 (8Ch)

 bit 3 **Unimplemented** - Lido como 0

 bit 2 **CCP1IE** - CCP1 Interrupt Enable

- ▶ 1 - Habilita interrupção do comparador CCP1
- ▶ 0 - Desabilita

 bit 1 **TMR2IE**: TMR2 to PR2 Match Interrupt Enable

- ▶ 1 - Habilita interrupção do TMR2 por igualdade de PR2
- ▶ 0 - Desabilita

 bit 0 **TMR1IE**: TMR1 Overflow Interrupt Enable

- ▶ 1 - Habilita interrupção de overflow de TMR1
- ▶ 0 - Desabilita

PIR1 (0Ch)

Peripheral Interrupt Register 1

PIR1 (0Ch)

| Bits | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|------|------|------|------|---|--------|--------|--------|
| Nomes dos bits | EEIF | CMIF | RCIF | TXIF | - | CCP1IF | TMR2IF | TMR1IF |



bit 7 **EEIF**: EEprom write operation Interrupt Flag

- ▶ 1 - Operação de escrita completa (flag deve ser limpo por software)
- ▶ 0 - Operação de escrita incompleta ou não iniciou



bit 6 **CMIF**: CoMparator Interrupt Flag

- ▶ 1 - Saída do Comparator foi alterada
- ▶ 0 - NÃO foi alterada



bit 5 **RCIF**: USART ReCeive Interrupt Flag

- ▶ 1 - Buffer de recepção da USART está cheio
- ▶ 0 - Buffer de recepção da USART está vazio

PIR1 (0Ch)



bit 4 **TXIF**: USART Transmit Interrupt Flag

- ▶ 1 - 0 buffer de transmissão da USART está vazio
- ▶ 0 - 0 buffer de transmissão da USART está cheio



bit 3 **Unimplemented**: Lido como 0



bit 2 **CCP1IF**: CCP1 Interrupt Flag

▶ Capture Mode

- 1 = Um registrador TMR1 de captura ocorreu (flag deve ser limpo por software)
- 0 = Não ocorreu registro de captura TMR1

▶ Compare Mode

- 1 = ocorreu um comparação OK com TMR1 (flag deve ser limpo por software)
- 0 = Não comparação OK

▶ PWM Mode

- Não é usado neste modo

PIR1 (0Ch)



bit 1 **TMR2IF**: TMR2 para PR2 Match Interrupt Flag

▶ 1 = TMR2 para PR2 match ocorreu (deve ser limpo por software)

▶ 0 = Não ocorreu TMR2 para PR2 match



bit 0 **TMR1IF**: TMR1 Overflow Interrupt Flag

▶ 1 = Registro TMR1 sofreu overflow (deve ser limpo por software)

▶ 0 = Registro TMR1 não sofreu overflow